

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060669  
 (43)Date of publication of application : 06.03.2001

(51)Int.CI. H01L 27/10  
 H01L 21/316  
 H01L 21/768  
 H01L 27/108  
 H01L 21/8242

(21)Application number : 2000-170333 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 07.06.2000 (72)Inventor : ITO AKIO

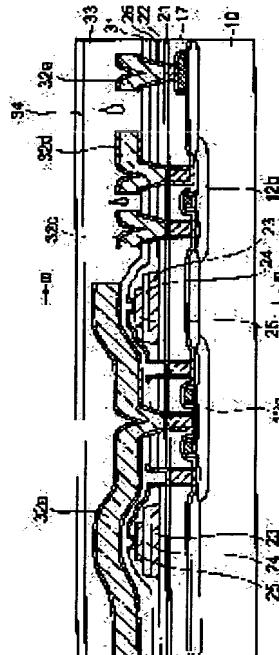
(30)Priority  
 Priority number : 11170667 Priority date : 17.06.1999 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device manufacturing method, which is capable of avoiding reduction in a ferroelectric material or a high dielectric material, even if a CMP(chemical mechanical polishing) process is employed in the manufacture of a semiconductor device, where a ferroelectric material or high dielectric material is used and applied to the manufacture of an FeRAM (nonvolatile semiconductor memory) and a DRAM (volatile semiconductor memory) or a system LSI, where the memory elements and logic elements are mounted mixedly.

**SOLUTION:** A capacitor composed of an upper electrode 25, a dielectric film 24 of a ferroelectric material or high dielectric material, and a lower electrode 23 is provided. Furthermore, an interlayer insulating film 33 is formed above the capacitor, and the surface of the interlayer insulating film 33 is planarized through a CMP method. Then, the interlayer insulating film 33 is subjected to plasma annealing using N<sub>2</sub>O gas, through which moisture attached to the surface of the interlayer insulating film 33 and contained in the insulating film 33 are removed. Thereafter, a redeposition interlayer insulating film 34 is formed on the interlayer insulating film 33.



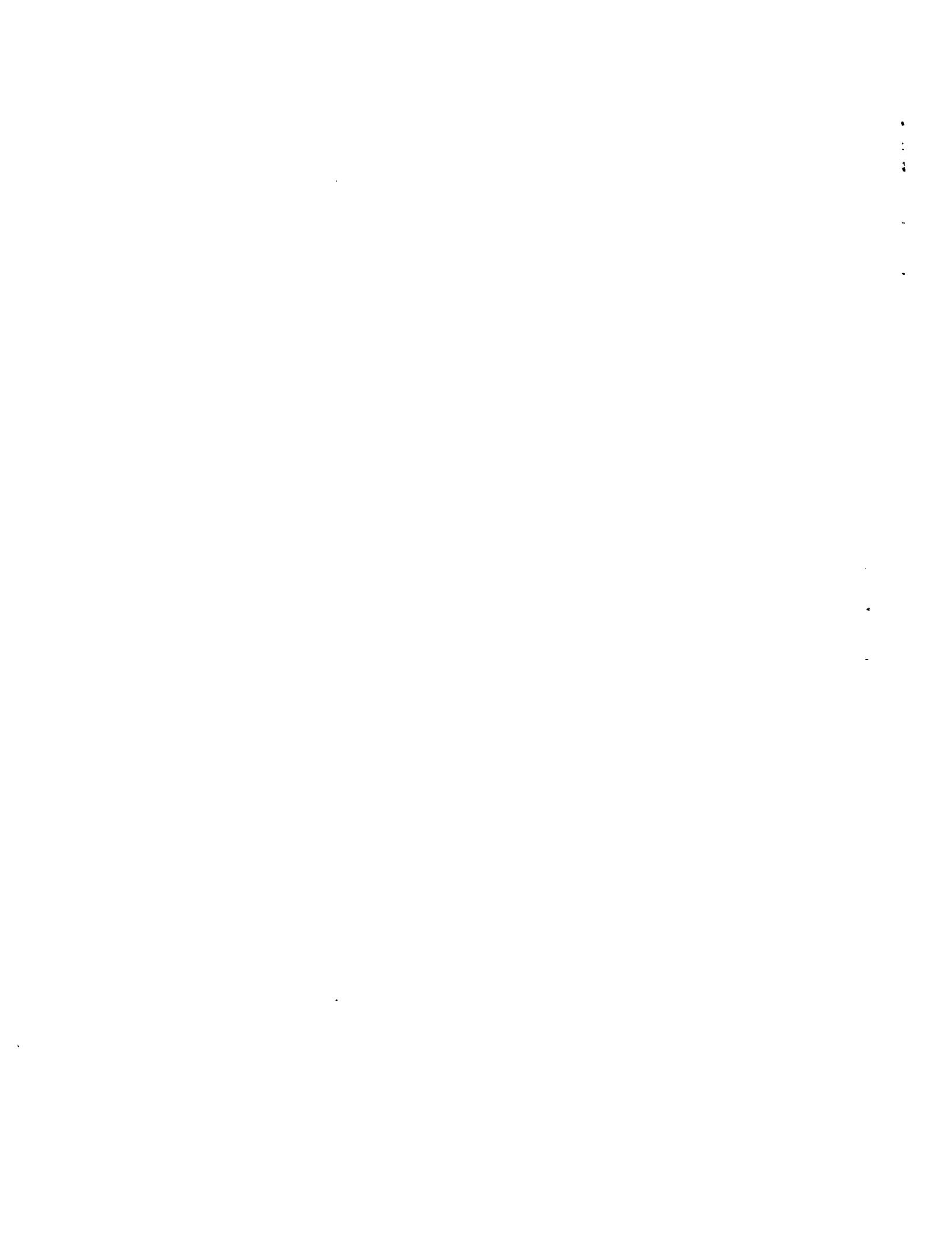
### LEGAL STATUS

[Date of request for examination] 07.06.2000  
 [Date of sending the examiner's decision of



rejection]  
[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]  
[Date of final disposal for application]  
[Patent number] 3260737  
[Date of registration] 14.12.2001  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-60669

(P2001-60669A)

(43)公開日 平成13年3月6日 (2001.3.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マーク <sup>*</sup> (参考)
H 01 L 27/10	4 5 1	H 01 L 27/10	4 5 1
	4 8 1		4 8 1
21/316		21/316	M
21/768		21/90	A
27/108			M

審査請求 有 請求項の数19 O L (全 17 頁) 最終頁に続く

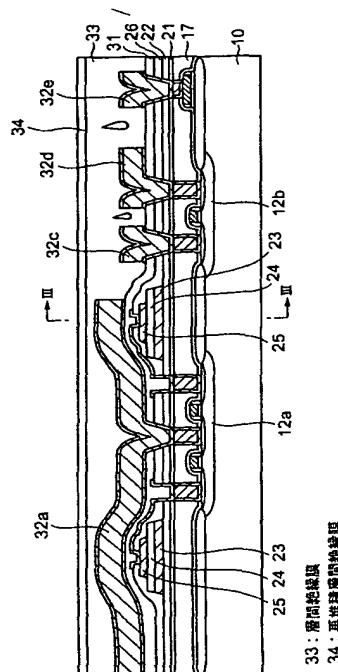
(21)出願番号	特願2000-170333(P2000-170333)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成12年6月7日(2000.6.7)	(72)発明者	伊藤 昭男 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(31)優先権主張番号	特願平11-170667	(74)代理人	100091672 弁理士 岡本 啓三
(32)優先日	平成11年6月17日(1999.6.17)		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 強誘電体材料又は高誘電体材料を用いた半導体装置の製造にCMP研磨工程を使用しても強誘電体材料又は高誘電体材料の還元を回避でき、FeRAM及びDRAM又はこれらのメモリ素子とロジック素子とを混載したシステムLSIの製造に適用できる半導体装置の製造方法を提供する。

【解決手段】 上部電極25、強誘電体材料又は高誘電体材料からなる誘電体膜24及び下部電極23からなるキャバシタを形成し、さらに、キャバシタの上方に層間絶縁膜33を形成し、その層間絶縁膜33をCMP研磨して表面を平坦化し、次いで、N<sub>2</sub>Oガスを用いたプラズマアニールを施し、層間絶縁膜33の表面に付着した水分、及び層間絶縁膜33中の水分を除去し、その後、層間絶縁膜33の上に、再堆積層間絶縁膜34を形成する。



## 【特許請求の範囲】

【請求項1】半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、前記キャパシタの上に形成され、且つ平坦化された表面を有し、少なくとも該表面に窒素を含むシリコン酸化膜とを有することを特徴とする半導体装置。

【請求項2】前記シリコン酸化膜の内部には、空洞が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記キャパシタと前記シリコン酸化膜の間には、前記キャパシタ上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された配線とを有することを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】前記シリコン酸化膜の上には、第2の絶縁膜が形成されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項5】半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、前記トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、

前記キャパシタの上に形成された第2の絶縁膜と、

前記第2の絶縁膜の上に形成され、前記キャパシタの前記上部電極と前記第1の不純物領域とを接続する局所配線と、

前記局所配線と前記第2の絶縁膜の上に形成された第3の絶縁膜と、

前記第3の絶縁膜の上に形成され、且つ前記第1、第2及び第3の絶縁膜に形成されたホールを通して前記第2の不純物領域に接続される第1の配線と、

前記第1の配線の上に形成され、且つ平坦化された上面を有する第4の絶縁膜と、

前記第4の絶縁膜上に形成された第2の配線とを有することを特徴とする半導体装置。

【請求項6】前記第4の絶縁膜の内部には、前記第4の絶縁膜の前記上面から一部が露出する空洞が形成されていることを特徴とする請求項5に記載の半導体装置。

【請求項7】前記空洞は、複数の前記キャパシタの間の領域に存在することを特徴とする請求項6に記載の半導体装置。

【請求項8】前記第4の絶縁膜の上には、前記第4の絶縁膜の前記上面から露出する前記空洞を覆う第5の絶縁膜が形成されていることを特徴とする請求項6に記載の

半導体装置。

【請求項9】前記第2の配線は、前記第4の絶縁膜に形成されたホールを通して前記第1の配線に接続されていることを特徴とする請求項5又は請求項6に記載の半導体装置。

【請求項10】前記第3及び第4の絶縁膜は、シリコン酸化膜であることを特徴とする請求項5又は請求項6に記載の半導体装置。

【請求項11】前記第1の絶縁膜の上面は、平坦化された面であることを特徴とする請求項5又は請求項6に記載の半導体装置。

【請求項12】半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、

前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、

前記キャパシタの上に形成された第2の絶縁膜とを有し、

前記第2の絶縁膜の表面は、平坦化されているとともに、プラズマ処理されていることを特徴とする半導体装置。

【請求項13】半導体基板にトランジスタを形成する工程と、

前記トランジスタを覆う第1の絶縁膜を、前記半導体基板の上に形成する工程と、

強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜と該誘電体膜を挟む上部電極と下部電極とを有するキャパシタを前記第1の絶縁膜の上に形成する工程と、

前記キャパシタの上方に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を研磨してその上面を平坦化する工程と、

プラズマアニールによって前記第2の絶縁膜の脱水処理を施す工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】前記プラズマアニールは、N<sub>2</sub>O、N<sub>2</sub>、N<sub>0</sub>、O<sub>2</sub>のいずれかの単体又はこれらの混合ガスをプラズマ化して行われることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】前記第2の絶縁膜は、TEOSガスを用いるプラズマCVD法により形成されることを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【請求項16】前記第2の絶縁膜には空洞が形成されることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項17】前記空洞の上部は、前記第2の絶縁膜を研磨することによって露出することを特徴とする請求項

## 1.6に記載の半導体装置の製造方法。

【請求項18】前記脱水処理工程の後に、前記第2の絶縁膜の上に第3の絶縁膜を形成する工程を有することを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【請求項19】前記キャパシタと前記第2の絶縁膜の間に、前記キャパシタを覆う第4の絶縁膜を形成する工程と、

前記第2の絶縁膜と前記第4の絶縁膜の間に下側配線を形成する工程とを有することを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタの誘電体膜に強誘電体材料を用いた不揮発性半導体メモリ (FeRAM: Ferroelectric Random Access Memory)、又はキャパシタの誘電体膜に高誘電体材料を用いた揮発性半導体メモリ (DRAM: Dynamic Random Access Memory)、又はこれらのメモリ素子とロジック素子とを混載したシステムLSIに代表される半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】近年、低消費電力の不揮発性半導体メモリとしてキャパシタの誘電体膜に強誘電体材料を用いたFeRAMが注目されている。また、近年、半導体メモリの微細化及び高集積化が要求されており、その要求にこたえるべくキャパシタの誘電体膜に高誘電体材料を用いたDRAMが開発されている。

【0003】これらのFeRAMの強誘電体材料、DRAMの高誘電体材料として、それぞれ金属酸化物が通常使用されている。そのような強誘電体材料、高誘電体材料は還元性雰囲気に弱く、特に強誘電体材料では分極特性が劣化しやすいという性質がある。強誘電体材料の分極特性の劣化を防止する方法として、特開平9-307074号公報には、キャパシタの上にスパッタ酸化シリコン又はSOG (Spin-On-Glass) のいずれかの下層絶縁膜を形成した後に、下層絶縁膜の上にオゾンとTEOS (tetraethoxysilane:  $Si(OCH_3)_4$ ) から酸化シリコンの上層絶縁膜を形成することにより、キャパシタの誘電体膜の還元を防止することが記載されている。また、特開平10-275897号公報には、メタルCVD (Chemical Vapor Deposition) 装置やMO (Metal Organic) CVD装置を用いた還元性雰囲気中で配線用導電膜を形成するのではなく、配線用導電膜をDCスパッタにより形成することにより、配線用導電膜の下方のキャパシタの分極特性の劣化を防止することが記載されている。この公報には、TEOSを使用してプラズマCVD法によってキャパシタの上にSiO<sub>2</sub>膜を形成し、このSiO<sub>2</sub>膜に形成したホールを通してキャパシタの上部電極に配線を接続

することが記載されている。

【0004】また、特開平11-238855号公報には、キャパシタを覆う薄い絶縁膜に形成されたホールを通してキャパシタ上部電極に薄い導電パターン (配線) を接続し、さらにその導電パターンを覆う絶縁膜の上に厚いアルミニウム配線パターンを形成し、そのアルミニウム配線パターンをさらに絶縁膜で覆う構造が記載されている。

## 【0005】

【発明が解決しようとする課題】しかし、特開平11-238855号公報では、ビット線として使用されるアルミニウム配線パターンの膜厚が厚いので、その上に形成される層間絶縁膜の表面の凹凸の段差が大きくなる。そして、アルミニウム配線パターンを覆う層間絶縁膜の凹凸が大きくなると、その層間絶縁膜上に上部配線を形成するためのフォトリソグラフィ工程では、露光の際の焦点がデフォーカスになり易く、上部配線のパターン精度が低下するといった問題が生じる。特に、プラズマCVD法により層間絶縁膜を形成する場合には、層間絶縁膜の表面の凹凸の段差が大きくなりやすい。

【0006】これに対して、表面の凹凸の段差が小さなHDP (High Density Plasma) 膜を形成することも考えられるが、そのHDP膜を形成する際には水素が絶縁膜に入りてキャパシタの酸化物誘電体膜を還元するおそれがある。本発明の目的は、強誘電体材料又は高誘電体材料を用いたキャパシタとビット線のさらに上方に形成される配線を精度良く形成するとともに、キャパシタの劣化を防止するための半導体装置及びその製造方法を提供することにある。

## 【0007】

【課題を解決するための手段】上記した課題は、半導体基板に形成されたトランジスタと、トランジスタを覆う第1の絶縁膜の上に形成されたキャパシタと、キャパシタの上に第2の絶縁膜を介して形成された局所配線と、局所配線を覆う第3の絶縁膜の上に形成された第1の配線と、第1の配線の上に形成され且つ平坦化された上面を有する第4の絶縁膜と、第4の絶縁膜の上に形成された第2の配線とを有する半導体装置によって解決される。

【0008】本発明によれば、強誘電体材料又は高誘電体材料を用いたキャパシタとその上に絶縁膜を介して形成された第1の配線と、第1の配線の上に形成されて上面が平坦化された絶縁膜と、絶縁膜の上に形成された第2の配線とを有している。これにより、強誘電体膜又は高誘電体膜を有するキャパシタの上方に形成される第2の配線のパターンは精度良く形成される。

【0009】また、上記した課題は、半導体基板の上方に、強誘電体材料又は高誘電体材料からなる誘電体膜を備えたキャパシタを形成し、このキャパシタの上方に第1の絶縁膜を形成し、さらに第1の絶縁膜を研磨してそ

の上面を平坦化し、その後に第1の絶縁膜に対してプラズマアニールによる脱水処理を施すことを特徴とする半導体装置の製造方法により解決する。

【0010】本発明によれば、誘電体膜として強誘電体材料又は高誘電体材料を用いたキャパシタを形成した後、その上方に第1の絶縁膜を形成し、この第1の絶縁膜を例えばCMP法により平坦化する工程を有している。研磨工程では、研磨剤中の水分や洗浄液中の水分が第1の絶縁膜の表面に付着するだけでなく、第1の絶縁膜中にも水分が侵入する。第1の絶縁膜表面に付着した水分と、第1の絶縁膜中に侵入した水分とを除去するために、本発明においては、例えばN<sub>2</sub>Oガス又はNOガスのプラズマ雰囲気中でのアニールによって第1の絶縁膜の研磨面から脱水処理を施している。

【0011】ところで、脱水のための熱処理として電気炉を用いる場合には、第1の絶縁膜の下層に金属配線層があるため、電気炉内のアニールは例えばアルミニウムの耐熱温度450℃以下に限定される。このような低温の単なる熱処理では脱水処理の効果が不十分である。これに対して、本発明のように、プラズマアニールを用いると、450℃以下の低温でより確実に絶縁膜から水分を除去することが可能であり、かつ、このような低温では金属配線層が酸化してしまうという問題も発生しない。

【0012】従って、そのようなプラズマアニールでは、単なる熱処理に比べて第1の絶縁膜の中の水分をより確実に除去することができる。これにより、第1の絶縁膜の表面又はその中の水分に起因する強誘電体膜又は高誘電体膜の還元やキャパシタの劣化が防止され、良好なFeRAM又はDRAMを製造することができる。N<sub>2</sub>Oガス又はNOガスのプラズマアニールによれば、第1の絶縁膜がシリコン酸化膜から形成されている場合に、少なくともその表面には窒素が含まれることになる。

【0013】CMP法で平坦化が行われた第1の絶縁膜の中に空洞（ス、ボイド又はキーホール）が形成されている場合には、その空洞が研磨面から構状に露出してしまうことがある。そして、その研磨面上に配線層を形成した場合には、配線層を構成する導電材料が空洞内に入つて、空洞を横切る複数の配線同士を短絡するおそれがある。このため、第1の絶縁膜の研磨面上に第2の絶縁膜を形成して、第1の絶縁膜の研磨面に構状に露出した空洞を第2の絶縁膜で覆つたり、埋めたりすることが好ましい。

【0014】上記の効果を確実に得るために、第2の絶縁膜の厚さを100nm以上とすることが好ましい。また、研磨面から露出する空洞の幅がばらついて、その空洞の一部が第2の絶縁膜によって覆われない部分が発生すると、第2の絶縁膜の上に形成される金属膜には空洞の上でスリットが形成されるおそれがある。金属膜にスリットが存在すると、そのスリットを通して第1の絶

縁膜内に水素が入ってキャパシタを劣化するおそれがある。そこで、金属膜にスリットが形成されることを防止するためには、第2の絶縁膜の膜厚を少なくとも300nmにすることが好ましい。

【0015】なお、第1の絶縁膜の上に第2の絶縁膜を形成し、その後に上記のプラズマアニールを施してもよい。この場合、第1及び第2の絶縁膜の絶縁特性の劣化を回避できるとともに、第1の絶縁膜及び第2の絶縁膜中の水分を同時に除去することができる。

10 【0016】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。図1～図16は本発明の一実施形態の半導体装置の製造方法を工程順に示す断面図である。なお、本実施形態の半導体装置としてFeRAMを例に挙げて説明する。

【0017】まず、図1に示す断面構造を得るまでの工程を説明する。図1に示すように、p型シリコン（半導体）基板10表面に、LOCOS（Local Oxidation of Silicon）法により素子分離絶縁膜11を選択的に形成する。素子分離絶縁膜11の形成はLOCOS法の他、STI（Shallow Trench Isolation）を採用してもよい。

20

【0018】そのような素子分離絶縁膜11を形成した後に、シリコン基板10のメモリセル領域1、周辺回路領域2における所定の活性領域（トランジスタ形成領域）にp型不純物及びn型不純物を選択的に導入して、pウェル12a及びnウェル12bを形成する。なお、図1には示していないが、周辺回路領域2ではCMOSを形成するためにpウェル（不図示）も形成される。

30

【0019】その後、シリコン基板10の活性領域表面を熱酸化して、ゲート絶縁膜10aとしてシリコン酸化膜を形成する。次に、シリコン基板10の上側全面にアモルファスシリコン膜及びタンゲステンシリサイド膜を順次形成し、これらのアモルファスシリコン膜及びタンゲステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターニングして、ゲート電極13a～13c及び配線14を形成する。なお、ゲート電極13a～13cを構成するアモルファスシリコン膜の代わりにポリシリコン膜を形成してもよい。

40

【0020】メモリセル領域1では、1つのpウェル12a上には2つのゲート電極13a、13bがほぼ平行に配置され、これらのゲート電極13a、13bはワード線WLの一部を構成する。次に、メモリセル領域1において、ゲート電極13a、13bの両側のpウェル12a内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース・ドレインとなるn型不純物拡散領域15aを形成する。これと同時に、周辺回路領域2のpウェル（不図示）にもn型不純物拡散領域を形成してもよい。続いて、周辺回路領域2において、ゲート電極13cの両側のnウェル12bにp型不純物をイオン注入して、pチャネルMOSトランジスタのソース・

50

ドレインとなるp型不純物拡散領域15bを形成する。n型不純物とp型不純物の打ち分けは、レジストパターンを使用して行われる。

【0021】その後に、シリコン基板10の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極13a～13c及び配線14の両側部分にのみ側壁絶縁膜16として残す。その絶縁膜として、例えばCVD法により酸化シリコン(SiO<sub>2</sub>)を形成する。次に、プラズマCVD法によりシリコン基板10の全面に、カバー膜3として酸窒化シリコン(SiON)膜を約200nmの厚さに形成する。その後、TEOSガスを用いるプラズマCVD法により、カバー膜3の上に酸化シリコン(SiO<sub>2</sub>)を約1.0μmの厚さに成長させ、これにより第1の層間絶縁膜17を形成する。なお、TEOSを用いてプラズマCVD法により形成されるSiO<sub>2</sub>膜を、以下にTEOS膜ともいう。

【0022】続いて、第1の層間絶縁膜17の緻密化処理として、常圧の窒素雰囲気中で第1の層間絶縁膜17を700℃の温度で30分間熱処理する。その後に、第1の層間絶縁膜17を化学的機械研磨(Chemical Mechanical Polishing:以下、CMPという)法により研磨して第1の層間絶縁膜17上面を平坦化する。次に、図2に示す構造を形成するまでの工程を説明する。

【0023】まず、フォトリソグラフィ法により、不純物拡散領域15a, 15bに到達する深さのコンタクトホール17a～17dと、配線14に到達する深さのビアホール17eをそれぞれ第1の層間絶縁膜17に形成する。その後、第1の層間絶縁膜17上面とホール17a～17e内面に膜厚20nmのTi(チタン)薄膜と膜厚50nmのTiN(チタンナイトライド)薄膜をスパッタ法により順に形成する。さらに、CVD法によりタングステン(W)をTiN薄膜上に成長する。この結果、コンタクトホール17a～17d、ビアホール17e内にタングステン膜が埋め込まれる。

【0024】その後、第1の層間絶縁膜17上面が露出するまでタングステン膜、TiN薄膜及びTi薄膜をCMP法により研磨する。この研磨後にホール17a～17e内に残存するタングステン膜等は、不純物拡散領域15a, 15bと配線14に後述の配線を電気的接続するためのプラグ18a～18eとして使用される。メモリセル領域1の1つのpウェル12aにおいて2つのゲート電極13a, 13bに挟まれるn型不純物拡散領域15a上の第1のプラグ18aは後述するビット線に接続され、さらに、残り2つの第2のプラグ18bは後述するキャパシタに接続される。

【0025】なお、コンタクトホール17a～17d、ビアホール17eを形成した後に、コンタクト補償のために不純物拡散領域15a, 15bに不純物をイオン注入してもよい。次に、図3に示すように、プラグ18a～18eの酸化を防止するために、シラン(SiH<sub>4</sub>)を用

いるプラズマCVD法により、第1の層間絶縁膜17上とプラグ18a～18e上にSiON(絶縁膜)膜21を100nmの厚さに形成し、さらに、反応ガスとしてTEOSと酸素を用いるプラズマCVD法によりSiO<sub>2</sub>膜22を150nmの厚さに形成する。なお、SiON膜21は、第1の層間絶縁膜17への水の侵入を防止するために形成される。

【0026】その後、SiON膜21、SiO<sub>2</sub>膜22の緻密化のために、それらの膜を常圧の窒素雰囲気中で温度650℃で30分間熱処理する。なお、TEOSガスを用いてプラズマCVD法により形成された第1の層間絶縁膜17とSiO<sub>2</sub>膜22はそれぞれ650～700℃の温度で加熱されるが、その下にはアルミニウムのような融点の低い金属膜が存在しないので、その程度の温度の加熱による悪影響は発生しない。

【0027】次に、図4に示すように、DC(Direct Current)スパッタ法によりSiO<sub>2</sub>膜22上に、Ti及びPt(白金)を順次堆積させて二層構造の第1の導電膜23aを形成する。この場合、Ti膜の厚さを10～30nm程度、Pt膜の厚さを100～300nm程度とする。例えば、Ti膜の厚さを20nm、Pt膜の厚さを175nmとする。なお、第1の導電膜23aとして、イリジウム、ルテニウム、酸化ルテニウム、酸化イリジウム、酸化ルテニウムストロンチウム(SrRuO<sub>3</sub>)等の膜を形成してもよい。

【0028】続いて、RF(Radio Frequency)スパッタ法により、第1の導電膜23aの上に強誘電体材料であるチタン酸ジルコニア酸鉛(PZT; Pb(Zr<sub>1-x</sub>Ti<sub>x</sub>)O<sub>3</sub>)を100～300nmの厚さに堆積させてPZT膜24aを形成する。例えば、PZT膜24aの厚さを240nmとする。そして、PZT膜24aの結晶化処理として、酸素雰囲気中で温度650～850℃、30～120秒間の条件でRTA(Rapid Thermal Annealing)を行う。例えば、温度750℃で60秒間アニールする。

【0029】強誘電体材料膜の形成方法としては、上記したスパッタ法の他にスピノン法、ゾルゲル法、MOD(Metal Organic Deposition)法、MOCVD法がある。また、強誘電体材料としてはPZTの他に、ジルコニア酸チタン酸ランタン鉛(PLZT)、SrBi<sub>2</sub>(Ta<sub>x</sub>Nb<sub>1-x</sub>)<sub>2</sub>O<sub>9</sub>(但し、0 < x < 1)、Bi<sub>4</sub>Ti<sub>2</sub>O<sub>12</sub>などがある。更に、DRAMを形成する場合には、上記の強誘電体材料に代えて(BaSr)TiO<sub>3</sub>(BST)、チタン酸ストロンチウム(STO)等の高誘電体材料を使用すればよい。

【0030】そのようなPZT膜24aを形成した後に、その上に第2の導電膜25aとしてPt膜をDCスパッタ法により100～300nmの厚さに形成する。例えば、第2の導電膜25aの厚さを200nmとする。なお、第2の導電膜25aとして、酸化イリジウム(IrO<sub>2</sub>)膜もしくは酸化ルテニウムストロンチウム(SRO)を用

をスパッタ法により形成してもよい。

【0031】次に、第2の導電膜25a、PZT膜24a及び第1の導電膜23aをフォトリソグラフィ法により順次パターニングすることにより、それらの膜から図5に示すような所定形状のキャパシタを形成する。ここで、第2の導電膜25aは上部電極25となり、PZT膜24aは誘電体膜24となり、第1の導電膜23aは下部電極23となる。そして、上部電極25、誘電体膜24及び下部電極23によりキャパシタQが構成される。キャパシタQは、1つのpウェル12a内に形成されたMOSトランジスタと同じ数だけpウェル12aの周囲に形成される。

【0032】ところで、第2の導電膜25aをパターニングして上部電極25を形成した後には、キャパシタQのダメージ除去のために回復アニールを施す。具体的には、酸素雰囲気中にシリコン基板10を置いて、キャパシタQを500～700℃の温度で30～120分間加熱する。例えば、温度650℃で60分間加熱する回復アニールを実施するものとする。また、第1の導電体膜23aをパターニングして下部電極23を形成した後にも同じ条件で回復アニールを実施する。

【0033】以上のような工程を経てキャパシタQを形成した後に、図6に示すように、全面にTEOS膜及びSOG膜からなる2層構造の第2の層間絶縁膜26を形成し、この第2の層間絶縁膜26によりキャパシタQを覆う。そのTEOS膜は、TEOSガスを用いるプラズマCVD法により、成長温度が390℃、パワーが400Wの条件でシリコン基板10の上側全面に100～300nmの厚さで形成される。また、SOG膜は、TEOS膜上にSOG溶液を80～200nmの厚さに塗布した後に、これを加熱することにより形成される。この例では、TEOS膜の厚さが200nm、SOG(Spin-On-Glass)膜の厚さが100nmであるとする。ここで、SOG膜は塗布性絶縁膜であるので、その表面の凹凸差は小さくなる。

【0034】なお、SOG膜はエッチバックで除去してもよい。この場合には、TEOS膜の膜厚を500nm、SOG膜の膜厚を100nmとする。そして、フォトリソグラフィ法により第2の層間絶縁膜26をパターニングして、キャパシタQの上部電極25の上にコンタクトホール26aを形成する。その後、誘電体膜24に対して回復アニールを実施する。具体的には、酸素雰囲気中で500～650℃の温度で30～120分間加熱する。この例では、550℃の温度で60分間加熱するものとする。

【0035】次に、第2の層間絶縁膜26、SiON膜21、SiO<sub>2</sub>膜22をフォトリソグラフィ法によりパターニングして、メモリセル領域1の第2のプラグ18bの上にコンタクトホール26bを形成して第2のプラグ18bを露出させる。そして、第2の層間絶縁膜26上とコ

ンタクトホール26a、26b内に、膜厚100nmのTiN膜をスパッタ法により形成する。続いて、そのTiN膜をフォトリソグラフィ法でパターニングすることにより、メモリセル領域1においてコンタクトホール26a、26bを通してpウェル12a上の第2のプラグ18bとキャパシタ上部電極25とを電気的接続するための局所配線(ローカル配線)27を形成する。

【0036】次に、図7に示すような構造を形成するまでの工程を説明する。まず、局所配線27と第2の層間絶縁膜26の上に、プラズマCVD法によりTEOS膜を200～400nm、例えば300nmの厚さに形成する。このTEOS膜は第3の層間絶縁膜31として使用される。なお、その上の第3の絶縁膜31の上面の凹凸差は、その下の第2の層間絶縁膜26の上面の凹凸差を反映し、研磨を必要とするほどの大きさではない。

【0037】続いて、メモリセル領域1における第3の層間絶縁膜31からその下方のSiON膜21までをフォトリソグラフィ法によりパターニングすることにより、pウェル12aの中央位置の第1のプラグ18aの上にコンタクトホール31aを形成するとともに、周辺回路領域2の各プラグ18c～18e上にもコンタクトホール31c～31eを形成する。

【0038】さらに、第3の層間絶縁膜31の上とコンタクトホール31c～31eの中にTi膜、TiN膜、Al(アルミニウム)膜及びTiN膜の4層を順次積層し、これらの金属膜をパターニングすることにより、メモリセル領域1でピット線32aを形成するとともに、周辺回路領域2では配線32c～32eを形成する。これらのピット線32a、配線32c～32eは、一層目のアルミニウム配線となる。

【0039】なお、メモリセル領域1のピット線32aは第1のプラグ18aに接続され、また、周辺回路領域2の配線32c～32eは各プラグ18c～18eに接続される。ピット線32a、配線32c～32eは構成する各金属膜の膜厚として例えば最下層のTi膜を20nmの厚さ、下側のTiN膜を50nmの厚さ、Al膜を500nmの厚さ、上側のTiN膜を100nmの厚さとする。

【0040】次に、図8に示すように、TEOSガスと酸素(O<sub>2</sub>)ガスを使用するプラズマCVD法により、2.0μmの厚さのSiO<sub>2</sub>からなる第4の層間絶縁膜33を第3の層間絶縁膜31、ピット線32a及び配線32c～32eの上に形成する。そのプラズマCVDに使用する装置は、シリコン基板10を載せる第1電極とこれに対向する第2の電極が配置されるチャンバを有するとともに、第2の電極に高周波電力を印加し、第1の電極を定電圧とする単周波印加構造を有している。このときの成膜条件は、成長温度を400℃以下、例えば390℃とし、圧力を1.2Paとする。また、高周波電力の周波数を13.56MHz、そのパワーを400Wとする。な

お、TEOSガスに対する酸素の流量比を例えれば1程度とする。これらの条件によれば、成膜中にキャパシタQを構成する強誘電体材料を殆ど劣化しないし、ビット線32a及び配線32c～32eに悪影響を与えることもない。

【0041】ところで、TEOSガスと酸素ガスを使用するプラズマCVD法により形成された第4の層間絶縁膜33は等方的に成長するために、第4の層間絶縁膜33の上面形状はその下のビット線32aや配線32c～32e等の一層目のアルミニウム配線の形状の影響を受け易くなる。従って、第4の層間絶縁膜33であるTEOS膜の上に二層目のアルミニウム配線を形成しようとすると、二層目のアルミニウム配線のパターニング精度が低下したり、断線が発生し易くなる等の問題がある。

【0042】そこで、第4の層間絶縁膜33であるTEOS膜の上面を平坦化するために、図9に示すように、その上面をCMP法により研磨する工程を採用する。その研磨量は、最上面から約1.0μmの厚さ相当程度とする。ところで、第4の層間絶縁膜33をCMP法により研磨した後に、後述するように第4の層間絶縁膜33を加熱すると、その加熱によりキャパシタQの分極電荷量が小さくなることが実験により明らかになった。

【0043】これは、CMP法による平坦化の際に使用されるスラリー中の水分や、その後の洗浄時に使用される洗浄液中の水分が、第4の層間絶縁膜3であるTEOS膜の表面に付着したりその内部に吸収され、その下方のキャパシタQまで達し、その水分が加熱によってキャパシタQを劣化させるからである。即ち、第4の層間絶縁膜33の研磨後にキャパシタQが高温で加熱されることにより、キャパシタ誘電体膜24を構成する強誘電体材料が層間絶縁膜中の水分により還元されて強誘電性が失われ、或いは、強誘電体材料と電極の界面が水分により劣化されるためであると考えられる。特に、第4の層間絶縁膜33が後述する金属膜に覆われた状態で第4の層間絶縁膜33、第3の層間絶縁膜31が加熱されると、第4の層間絶縁膜33に吸収された水分は、外部に放出されにくくなつて、ビット配線32aの間の隙間を通して第3の層間絶縁膜31内に浸透してキャパシタQの周囲に到達することになり、水分によるキャパシタQの劣化が進むことになる。

【0044】そこで、研磨時に第4の層間絶縁膜33内に入り込んだ水分やその表面に付着している水分を除去してキャパシタQの劣化を防止するために、図10に示すように第4の層間絶縁膜33に対してプラズマアニールによる脱水処理を施す。即ち、第4の層間絶縁膜33をCMP法により平坦化した後に、シリコン基板10をプラズマ発生装置(不図示)のチャンバ内に載置し、そのチャンバ内でN<sub>2</sub>Oガスを700sccm、N<sub>2</sub>ガスを200sccmの流量で供給し、これらのガスをプラズマ化して、基板温度を450℃以下、例えは350℃として3分間

以上、好ましくは4分以上の時間で第4の層間絶縁膜33をプラズマに曝す。これにより、第4の層間絶縁膜33内の水分が外部に放出されるとともに、第4の層間絶縁膜33の少なくとも表面には、窒素(N)原子が入り込んでSiONが形成され、その後に水分が入り難い状態となる。

【0045】プラズマを使用しない熱処理を用いてN原子でプラズマTEOS膜を窒化しようとすると、使用されるN<sub>2</sub>分子が不活性なため、1000℃以上の熱処理が必要である。また、より活性なアンモニア(NH<sub>3</sub>)分子を用いる場合でも、750℃以上の熱処理が必要であり、下層のアルミニウム配線層が溶融してしまう問題が生じる。効果的に、プラズマTEOS膜を窒化しようとすれば、プラズマアニールが最も有効である。

【0046】そのプラズマアニールは、450℃以下の温度で行っているので、その下方でアルミニウムから形成された一層目のアルミニウム配線32a、32c～32eに悪影響を与えることはない。ところで、特開平10-83990号公報(米国特許6017784)では、TEOSガスを使用して酸化シリコン膜を形成した後にN<sub>2</sub>又はN<sub>2</sub>Oのプラズマ処理によって酸化シリコン膜中の水素を脱ガスすることが記載されている。このプラズマ処理は、研磨された酸化シリコン膜に対して行われるものではなく、しかも、強誘電体キャパシタを覆っている酸化シリコン膜に対して行われるものではない。

【0047】これに対して、本発明の実施形態では、TEOSを用いて形成されたSiO<sub>2</sub>からなる第4の層間絶縁膜33の表面を研磨した後に、第4の層間絶縁膜33をプラズマアニールしているのであり、その研磨処理工程で侵入した水分を除去するためにN<sub>2</sub>Oプラズマアニールが有効であることについては、上記文献には記載がない。また、本実施形態では、上記した条件のプラズマアニールを経ても強誘電体又は高誘電体キャパシタQの特性が良好に維持されることを明らかにしている。

【0048】以上のようなプラズマアニール処理を終えた後に、図11に示すように、再堆積層間絶縁膜34としてTEOS膜を層間絶縁膜33の上に100nm以上の厚さ、例えは200nmの厚さに形成する。再堆積層間絶縁膜34は、次に述べるように第4の層間絶縁膜33の研磨面に現れる空洞を覆うために形成される。再堆積層間絶縁膜34はキャップ層として作用し、層間絶縁膜33の再吸湿を防止するという効果もある。再堆積層間絶縁膜33の最適膜厚については後述する。

【0049】なお、再堆積層間絶縁膜34をN<sub>2</sub>Oプラズマアニールしてもよい。ところで上記したように、第4の層間絶縁膜33の研磨面にはキーホールやスリットと呼ばれる空洞(ス、ボイドともいう)が現れることがあるが、これは次のような理由による。プラズマCVD法によりTEOS膜を形成すると、そのTEOS膜は等方に成長してその膜厚が2.0μm程度の厚さになる

と、一層目のアルミニウム配線間、即ちメモリセル領域1のビット線32a相互間や周辺回路領域2の一層目のアルミニウム配線32c～32eの相互間で空洞が発生し易くなる。

【0050】ところで、図17(a)に示すように、ビット線32aはキャパシタQによって持ち上げられているので、ビット線32a間に発生する空洞33uは、他の領域で発生する空洞33uよりも高い位置に形成されることになる。従って、TEOS膜からなる第4の層間絶縁膜33を研磨した後には、図17(b)に示すように、メモリセル領域1に存在する空洞33uが研磨面から露出し易くなる。

【0051】なお、図17(a)は、図8のI-I断面図、図17(b)は図9のII-II線断面図であり、図中符号32f、32gは、それぞれ一層目のアルミニウム配線を示している。そのように、メモリセル領域1において第4の層間絶縁膜33上から露出する空洞33uは、ビット線32aの間に沿って溝状に表出するので、その空洞33uが露出した状態で第4の層間絶縁膜33の上に直に配線形成用金属膜を形成すると、その金属膜が空洞33u内に埋め込まれることになり、金属膜をバーニングして配線を形成した後でも、空洞33u内の金属膜が除去されずに残ってしまう。その空洞33u内の金属膜は、これと同じ金属膜から形成された配線同士を短絡させる媒体になるので、空洞33u内に金属膜を予め形成しないようにする必要がある。

【0052】本実施形態では、図11に示したように、第4の層間絶縁膜33を研磨した後に、再堆積層間絶縁膜34で第4の層間絶縁膜33の研磨面を覆うようにしているので、第4の層間絶縁膜34の研磨面から露出した空洞33u内には金属膜が形成されないことになる。なお、図11のIII-III線断面を示すと図18(a)のようになる。

【0053】図19(a)は、再堆積層間絶縁膜34がない場合の第4の層間絶縁膜33とその下の構造を示す断面図であり、図19(b)は、第4の層間絶縁膜33の上に再堆積層間絶縁膜34を形成した状態を示す断面図である。なお、図19(a)、(b)は、FeRAMのメモリセル領域の断面写真に基づいて描かれている。以上のような再堆積層間絶縁膜34を形成した後に、図12～図16に示すように、二層目のアルミニウム配線を形成する工程に移る。

【0054】まず、図12に示すように、フォトリソグラフィ法により再堆積層間絶縁膜34及び第4の層間絶縁膜33をバーニングして、一層目のアルミニウム配線、例えば周辺回路領域2の配線32dに到達するビアホール33aを形成する。その後に、ビアホール33aを通してその下の配線32dの表面を所定量、例えば35nmの深さでエッティングする。

【0055】続いて、図13に示すように、ビアホール

33aの内面と再堆積層間絶縁膜34の上面に、膜厚20nmのTi膜と膜厚50nmのTiN膜をスパッタリングにより順次形成し、それらの膜をグルーレイヤ35aとする。なお、図18(b)は、図13のIV-IV線断図である。その後、六フッ化タンゲステン(WF6)ガスとシラン(SiH4)ガスを使用してCVD法によりグルーレイヤ35aの上にタンゲステンシード(不図示)を形成する。さらに、WF6ガスとシラン(SiH4)ガスに水素(H2)ガスを加えて、成長温度を430°Cとしてグルーレイヤ35a上にタンゲステン膜35bを形成する。これにより、図14に示すように、ビアホール33a内には、グルーレイヤ35aとタンゲステン膜35bが充填される。

【0056】その後、再堆積層間絶縁膜34上面のタンゲステン膜35bをCMP法又はエッチバックにより除去して、ビアホール33a内にのみ残存させる。このとき、再堆積層間絶縁膜34上のグルーレイヤ35aは除去しても、しなくてもよい。図15ではグルーレイヤ35aを再堆積層間絶縁膜34上面からCMP法により除去した場合を示している。

【0057】これにより、配線32dと上層配線とを電気的に接続するためのビア(プラグ)35がビアホール33a内に形成される。ところで、上記した第4の層間絶縁膜33の研磨面から現れる空洞33uの幅は、CMP法による研磨のばらつきなどによって均一とはならない。空洞33uの露出幅がばらつくと、次のような問題が発生する。

【0058】即ち、図20(a)に示すように、第4の層間絶縁膜33上から露出した空洞33uの上に薄い再堆積層間絶縁膜34を形成すると、図20(b)に示すように、空洞33uが再堆積層間絶縁膜34によって完全に覆われずにその一部が露出することがある。そして、そのような状態で、図20(c)に示すように、上記したグルーレイヤ35aを形成すると、グルーレイヤ35aが空洞33uの上で段切れを起こしてスリットが形成されるおそれがあり、そのスリットが存在すると、タンゲステン膜35bを形成する際に使用する反応ガス中の水素が図20(d)に示すように、そのスリットを通してその下の第4の層間絶縁膜33に入ってしまう。第4の層間絶縁膜33中に侵入した水素は、キャパシタQを還元してキャパシタ特性を劣化させるので好ましくない。

【0059】そこで、第4の層間絶縁膜33から露出した空洞33uを確実に覆うためには再堆積層間絶縁膜34が少なくとも300nm以上の膜厚が必要であることが実験結果から明らかになった。ところで、空洞33u内にグルーレイヤ35aやタンゲステン膜35bが充填されることを防止するために、再堆積層間絶縁膜34の膜厚がどの程度必要かを調査したところ、図21のような結果が得られた。図21の縦軸は、配線間のリークが発生する頻度を示し、その横軸はリーク電流値を示して

15.

いる。図21の結果によれば、再堆積層間絶縁膜34の膜厚が50nmでは配線間のリークの頻度が大きく、その膜厚を増やすに従って配線間リーク頻度が減少し、100nmでほぼ配線間ショートを防止できることがわかった。従って、空洞33uの露出による配線間のリークを低減するためには再堆積層間絶縁膜34の膜厚が少なくとも100nmあることが望ましい。

【0060】一方、再堆積層間絶縁膜34の上にグルーレイヤ35a、タングステン膜35bを形成し、これをパターニングしてプラグ35を形成し、その上に後述す\*10

第2層間絶縁膜厚	分極電荷量 (Qsw)	
	プロセスアウト後	ベーク後
0nm	24.2 $\mu\text{C}/\text{cm}^2$	11.4 $\mu\text{C}/\text{cm}^2$
100nm	25.1 $\mu\text{C}/\text{cm}^2$	17.5 $\mu\text{C}/\text{cm}^2$
300nm	25.3 $\mu\text{C}/\text{cm}^2$	22.6 $\mu\text{C}/\text{cm}^2$

表1によれば、加速試験前の状態では、再堆積層間絶縁膜が厚い方が分極電荷量が僅かに大きくなっている。しかし、加熱後は、試料間の分極電荷量の差が顕著になる。とくに、再堆積層間絶縁膜34が0nmの場合、即ち再堆積層間絶縁膜34を形成しないときには、分極電荷量が加熱後に半分以下に減り、強誘電体キャパシタQは著しく特性が劣化する。また、再堆積層間絶縁膜34が300nmの時は、強誘電体キャパシタQの劣化は軽度であり、加熱後の分極電荷量は22.6  $\mu\text{C}/\text{cm}^2$ となつて、FeRAMを正常に動作させるためには十分な値となっている。

【0062】なお、再堆積層間絶縁膜34の300nmという膜厚は、空洞33uの露出する部分のばらつきを考慮して決定されるのである。ところで、再堆積層間絶縁膜34が厚すぎると、ビアホール33aのアスペクト比が増大してビアホール33a内でグルーレイヤ35aやタングステン膜35bのカバレッジが悪くなる。即ち、再堆積層間絶縁膜34の膜厚の上限値は、ビアホール33aのアスペクト比から決定される。例えば、ビアホール33aのアスペクト比を2.3とする場合に、ビアホール33aの直径を0.6  $\mu\text{m}$ 、第4の層間絶縁膜33の厚さを1.0  $\mu\text{m}$ とすれば、再堆積層間絶縁膜34の膜厚は約0.4  $\mu\text{m}$  (400nm) 必要となる。

【0063】以上のような工程によって再堆積層間絶縁膜34、ビア35を形成する工程を終えた後に、再堆積層間絶縁膜34の上に第1のTiN膜を50nm、Al膜を500nm、第2のTiN膜を50nmの厚さに順次形成し、これらの膜をパターニングすることにより、配線36を形成する。なお、再堆積層間絶縁膜34上面にグルーレイヤ35aを残す場合には、第1のTiN膜の形成を省略してグルーレイヤ35aの上にアルミニウム膜と第2のTiN膜を形成することになる。

\*16 る二層目のアルミニウム配線を形成し、さらに、二層目のアルミニウム配線を絶縁膜で覆うといった一連の工程を終えた後に、再堆積層間絶縁膜34の膜厚と加速試験によるキャパシタ分極電荷量の変化の関係を調査したところ、次の表1に示すような結果が得られた。なお、加速試験は、大気中で温度200°Cで1時間、基板を加熱して行われた。

【0061】

【表1】

【0064】次に、第1及び第2のTiN膜とAl膜、又は、第2のTiN膜とAl膜とグルーレイヤをフォトリソグラフィ法によりパターニングすることにより、図16に示すように、二層目のアルミニウム配線36を再堆積層間絶縁膜34の上に形成する。その後、TEOSを用いるプラズマCVD法により、二層目のアルミニウム配線36と再堆積層間絶縁膜34の上に、第1のカバー絶縁膜37としてSiO<sub>2</sub>膜を200nmの厚さに形成する。さらに、第1のカバー絶縁膜37の上に、プラズマCVD法によりSiNよりなる第2のカバー絶縁膜膜38を500nmの厚さに形成する。これらの第1及び第2のカバーメモリセル37、38により二層目の配線36が被覆される。

【0065】二層目のアルミニウム配線36が形成された後のメモリセル領域1における各種導電パターンの平面的な位置関係は図22のようになる。なお、図22中で素子分離絶縁膜11以外の絶縁膜は省略されている。以上のような工程により、キャパシタ誘電体膜24として強誘電体を用いたFeRAMの基本的な構造が完成する。

【0066】本実施の形態においては、キャパシタQと一層目のアルミニウム配線32a、32c～32eを覆う第4の層間絶縁膜33の上面をCMP法で平坦化している。これにより、キャパシタQと配線32aの上に形成した層間絶縁膜33のさらに上で平坦に形成される二層目のアルミニウム配線36のパターン精度を良好にすことができる。

【0067】また、層間絶縁膜33を研磨した後に、N<sub>2</sub>0プラズマアーニールを施して層間絶縁膜33中の水分を除去しているので、その後の工程において加熱されても、強誘電体膜(キャパシタ誘電体膜24)の還元、劣化が回避される。これにより、良好な特性のFeRAMを製造できる。しかも、N<sub>2</sub>0プラズマアーニールを450

℃以下で行っているので、一層目のアルミニウム配線を劣化させることもない。

【0068】そのようなN<sub>2</sub>O プラズマアニール工程を入れてFeRAMを形成した場合と、その工程を省略してFeRAMを形成した場合のキャパシタQの分極電荷量を調べたところ次の表2に示すような結果が得られ、N<sub>2</sub>O プラズマアニールがキャパシタの劣化を防止するためには効であることが確かめられた。

【0069】

【表2】

	分極電荷量 (Q <sub>sw</sub> )
N <sub>2</sub> O プラズマアニール有り	21.3 μC/cm <sup>2</sup>
N <sub>2</sub> O プラズマアニール無し	15.4 μC/cm <sup>2</sup>

なお、上記の実施の形態では、N<sub>2</sub>O を用いたプラズマアニールにより層間絶縁膜33を脱水処理する場合について説明したが、脱水処理に用いるガスはN<sub>2</sub>O に限定されるものではなく、例えばN<sub>2</sub>ガス、O<sub>2</sub>ガス又はNOガスを用いたプラズマアニールでも同様の効果が得られる。また、プラズマアニールに使用するガスは、N<sub>2</sub>O+N<sub>2</sub>、N<sub>2</sub>+O<sub>2</sub>等の混合ガスでもよい。さらに、そのような単体ガス又は混合ガスに、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)の不活性ガスを混合してプラズマ化してもよい。

【0070】更にまた、上記の実施の形態では層間絶縁膜33に対し脱水処理を施した後、再堆積層間絶縁膜34を形成したが、CMP研磨後の層間絶縁膜33の上に再堆積層間絶縁膜34を形成し、その後脱水処理を施してもよい。上記の実施の形態のように再堆積層間絶縁膜34を薄く形成する場合は再堆積層間絶縁膜34中に含まれる水分量が極めて少ないが、再堆積層間絶縁膜34を厚く形成する場合は再堆積層間絶縁膜34中に含まれる水分によりキャパシタ誘電体膜が還元されてしまうおそれがある。これを防止するために、再堆積層間絶縁膜34を形成した後、N<sub>2</sub>O 又はNOを用いるプラズマアニールによる脱水処理を実施してもよい。但し、この場合、再堆積層間絶縁膜34をプラズマCVD法により酸塗化シリコン(SiON)膜又はプラズマCVD法により窒化シリコン(SiN)膜で形成すると、これらの膜は水分を通していので、第4の層間絶縁膜33中の水分を十分に除去することができなくなる。このため、再堆積層間絶縁膜34を形成した後にプラズマアニールを施す場合は、再堆積層間絶縁膜34をプラズマTEOS膜、O<sub>3</sub>-TEOS膜、又はプラズマSiO<sub>2</sub>膜により形成することが好ましい。

【0071】即ち、再堆積層間絶縁膜34としては、上述したプラズマCVD法により形成したTEOS膜(P-TEOS膜)に代えて、熱CVD法でオゾン(O<sub>3</sub>)とTEOSとを用いて形成したTEOS(O<sub>3</sub>-TEOS)

膜、プラズマCVD法により形成したSiO<sub>2</sub> (P-SiO<sub>2</sub>) 膜、ノンバイアスのHDP (High Density Plasma) - CVDにより形成したSiO<sub>2</sub>膜、プラズマCVD法により形成したSiON (P-SiON) 膜及びプラズマCVD法により形成したSiN (P-SiN) 膜などを使用してもよい。但し、O<sub>3</sub>-TEOS膜は、水分含有量がP-TEOS膜に比べて多いので、本実施形態ではP-TEOS膜を用いている。また、SiON膜及びSiN 膜は水分の透過性が低いので、これらの膜を再堆積層間絶縁膜34として使用する場合は、第4の層間絶縁膜33を脱水処理した後に、再堆積層間絶縁膜34を形成することが必要である。

【0072】図23は、横軸にP-TEOS膜に対するプラズマアニール処理時間をとり、縦軸に分極電荷量(Q<sub>sw</sub>)をとて、分極電荷量の脱水処理時間依存性を示す図である。但し、プラズマアニールの条件は、温度が350℃、プラズマに印加するパワーが300W、N<sub>2</sub>Oの流量が700sccm、N<sub>2</sub>ガスの流量が200sccmである。分極電荷量Q<sub>sw</sub>の値が大きいほど、分極特性が良好であるといえる。

【0073】図23からわかるように、プラズマアニールの処理時間を3分以上とすることにより、十分な特性を得ることができる。強誘電体膜の初期状態における分極電荷量は約2.8 μC/cm<sup>2</sup> であり、約4分間のプラズマアニールにより初期状態の分極電荷量まで回復させることができる。上記した実施形態では、第4の層間絶縁膜33として、TEOSガスを用いるプラズマCVD法により形成したSiO<sub>2</sub>膜(p-TEOS)を用いたが、その他に、熱CVD法でO<sub>3</sub>とTEOSとを用いて形成したTEOS(O<sub>3</sub>-TEOS)膜、プラズマCVD法により形成したSiO<sub>2</sub> (P-SiO<sub>2</sub>) 膜などで形成してもよい。O<sub>3</sub>-TEOS膜は、P-TEOS膜よりも成長速度が遅いが、その膜内に空洞は生じない。

【0074】また、上記した実施形態では、FeRAM及びその形成工程について説明したが、高誘電体キャパシタを有する揮発性メモリ(DRAM)についても、水分と加熱によって高誘電体材料の絶縁性が劣化したり、高誘電体材料膜と電極との界面が劣化し易くなる。そこで、上記したと同様に、高誘電体キャパシタの上に形成される絶縁膜の上面をCMP法により平坦化した後に、その表面をN<sub>2</sub>O、NO等のガスを用いてその絶縁膜の脱水処理をしたり、あるいは、そのような脱水処理後、又は脱水処理前に平坦化された面の上にP-TEOSを用いて再堆積層間絶縁膜を形成してもよい。高誘電体材料として、(BaSr)TiO<sub>3</sub>などの高誘電体材料を使用すればよい。

【0075】また、本発明は、強誘電体不揮発性半導体メモリ又は高誘電体半導体メモリとロジックデバイスとを混載したいわゆるシステムLSIの製造に適用することができる。

【0076】

【発明の効果】以上述べたように本発明によれば、キャパシタとその上を通る配線のさらに上に形成された絶縁膜を研磨して平坦化するようにしたので、その絶縁膜の平坦面の上に配線を精度良く形成することが容易になる。また、研磨された絶縁膜に対しN<sub>2</sub>O又はNOを含むプラズマアニールによる脱水処理を施すようにしたので、その絶縁膜の表面に付着している水分、及び絶縁膜中に侵入している水分をより確実に除去することができて、キャパシタを構成する強誘電体材料又は高誘電体材料の還元や、キャパシタ劣化を防止できる。従って、強誘電体材料又は高誘電体材料の誘電特性の劣化を回避でき、良好な特性のFeRAM又はDRAMを製造することができる。

【図面の簡単な説明】

【図1】図1は、発明の実施の形態の半導体装置の製造方法を示す断面図（その1）である。

【図2】図2は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その2）である。

【図3】図3は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その3）である。

【図4】図4は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その4）である。

【図5】図5は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その5）である。

【図6】図6は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その6）である。

【図7】図7は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その7）である。

【図8】図8は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その8）である。

【図9】図9は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その9）である。

【図10】図10は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その10）である。

【図11】図11は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その11）である。

【図12】図12は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その12）である。

【図13】図13は、本発明の実施の形態の半導体装置

の製造方法を示す断面図（その13）である。

【図14】図14は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その14）である。

【図15】図15は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その15）である。

【図16】図16は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その16）である。

【図17】図17(a)は図8のI—I線断面図、図17(b)は図9のII-II線断面図である。

【図18】図18(a)は図11のIII-III線断面図、図18(b)は図13のIV-IV線断面図である。

【図19】図19(a)は、図17(b)の断面を撮影した写真に基づいて描いた断面図であり、図19(b)は、図18(a)の断面を撮影した写真に基づいて描いた断面図である。

【図20】図20(a)～(d)は、図17(b)に示した空洞が絶縁膜によって十分埋め込まれない工程を示す断面図である。

【図21】図21は、本発明の実施形態に係る半導体装置のメモリセルに使用されるキャパシタのリーク電流と累積確率の関係を示す図であって、累積確率を示す縦軸とリーク電流量を示す横軸は対数目盛で示される。

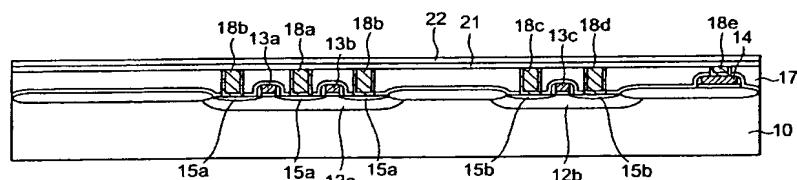
【図22】図22は、本発明の実施形態に係る半導体装置のメモリセル領域の導電パターンの配置を示す平面図である。

【図23】図23は、本発明の実施形態に係る半導体装置に形成されたキャパシタの分極電荷量の脱水処理時間依存性を示す図である。

【符号の説明】

30 10…半導体基板、11…素子分離絶縁膜、12a, 12b…ウェル領域、13a, 13b, 13c…ゲート電極、15a, 15b…不純物拡散領域、16…サイドウォール、17, 26, 31, 33…層間絶縁膜、18…プラグ、21…SiON膜、22…SiO<sub>2</sub>膜、23…下部電極、24…誘電体膜、25…上部電極、27…局所配線、32a…ビット線、32b～32g…配線、34…再堆積層間絶縁膜、35a…グルーレイヤ、35b…タンゲステン膜、35…プラグ、36…アルミニウム配線、37, 38…カバー膜。

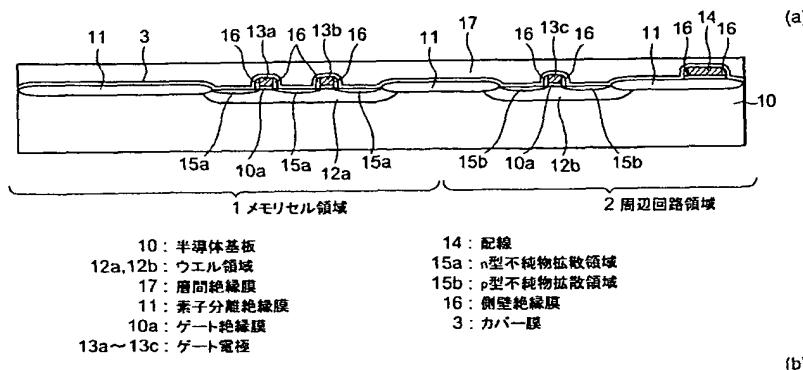
【図3】



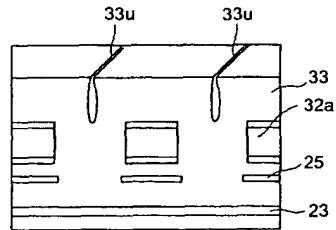
21: SiON膜

22: TEOS膜

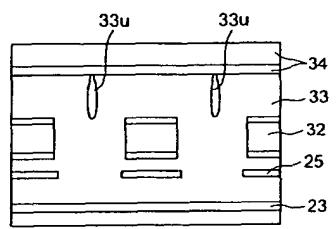
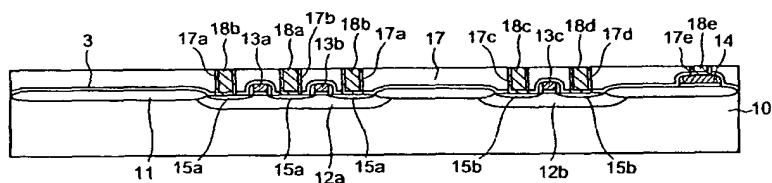
【図1】



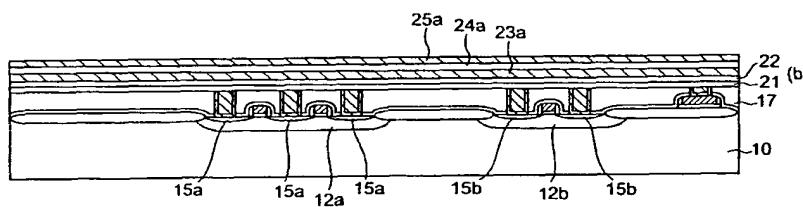
【図19】



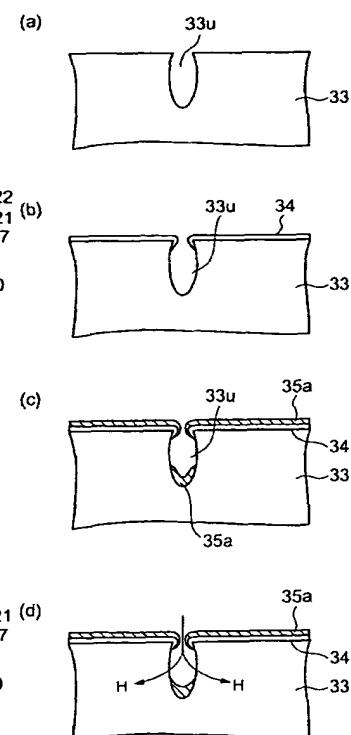
【図2】



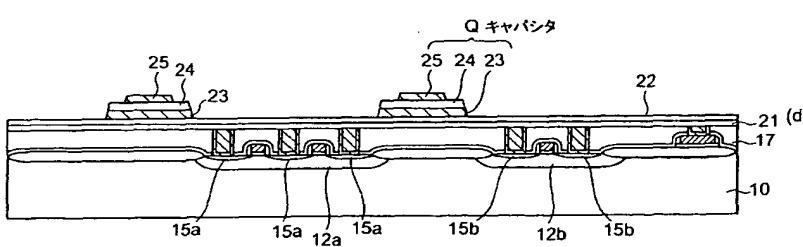
【図4】



【図20】

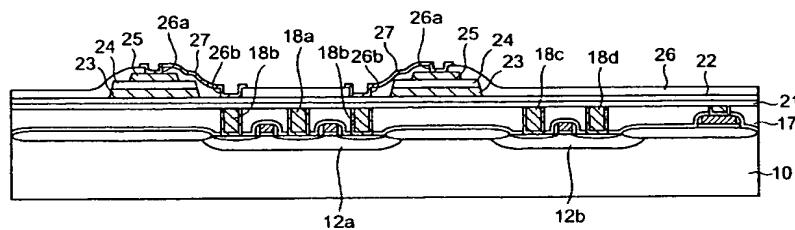


【図5】



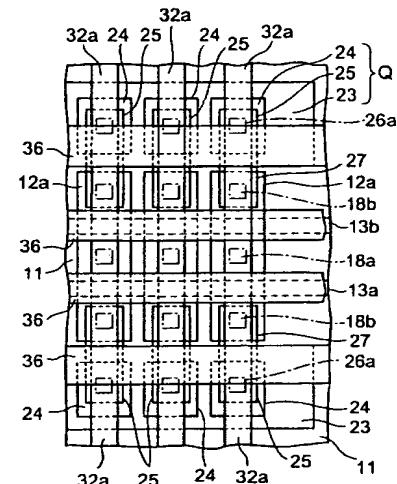
23: 下部電極  
24: 誘電体膜  
25: 上部電極

【図6】

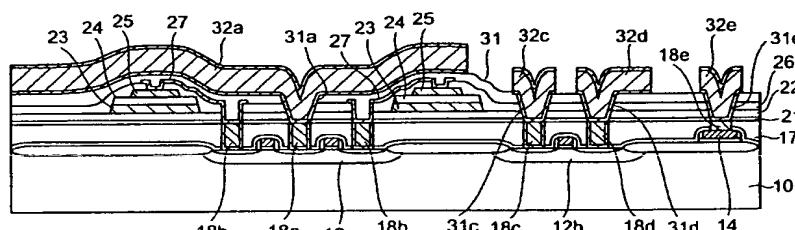


26: 層間絶縁膜  
27: 局所配線  
26a,26b: コンタクトホール

【図22】

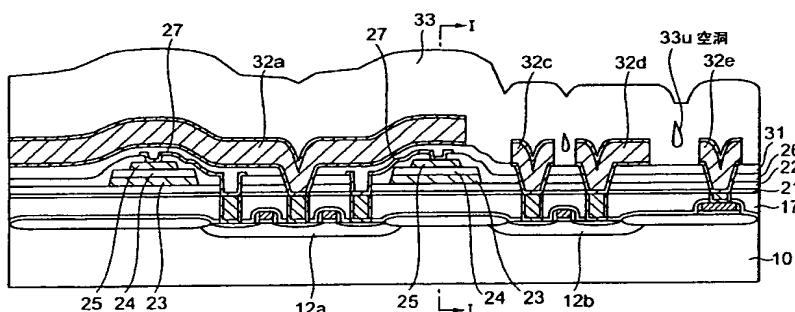


【図7】



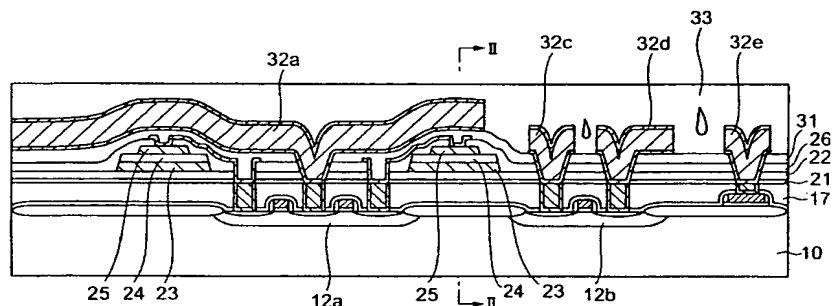
31: 層間絶縁膜  
32: 配線  
31a,31c~31e: コンタクトホール

【図8】



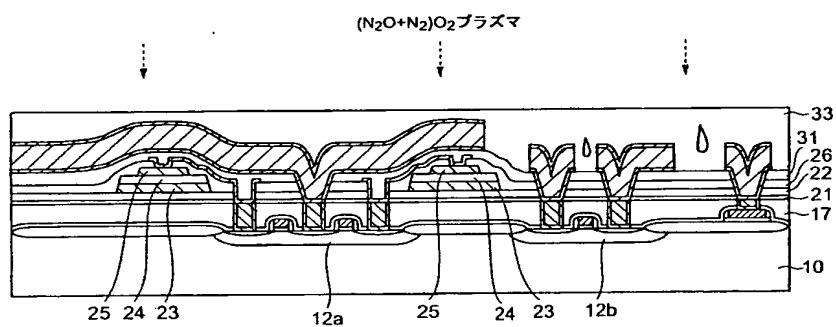
33: 層間絶縁膜

【図9】

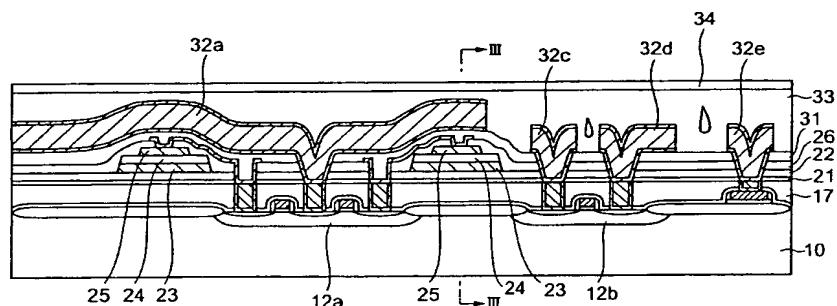


33: 層間絶縁膜

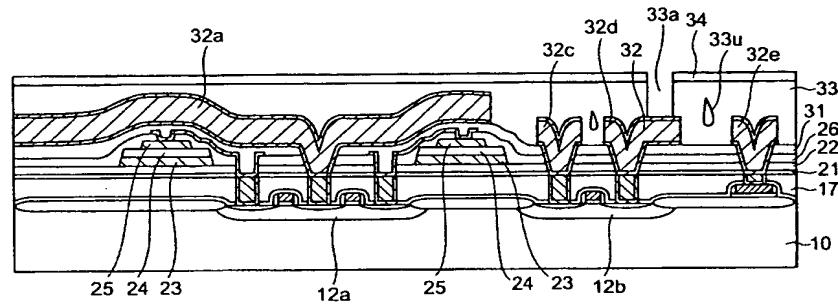
【図10】

(N<sub>2</sub>O+N<sub>2</sub>)O<sub>2</sub> プラズマ

【図11】

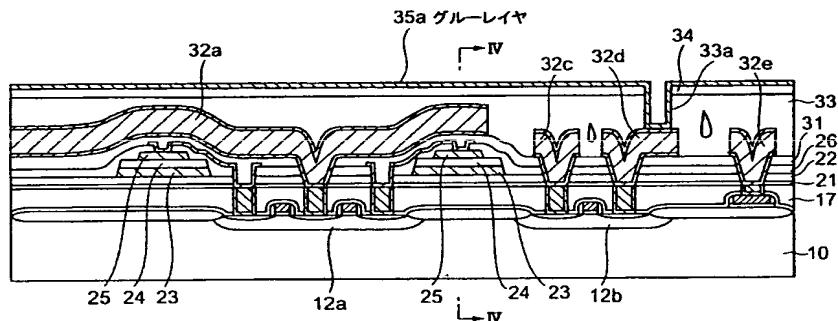
33: 層間絶縁膜  
34: 再堆積層間絶縁膜

【図12】



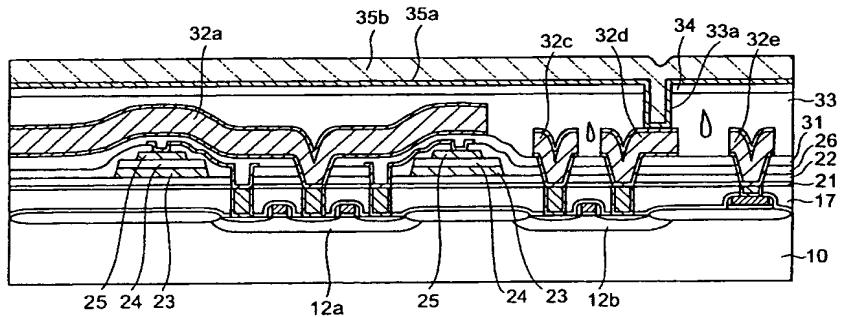
33: 層間絶縁膜  
34: 再堆積層間絶縁膜

【図13】



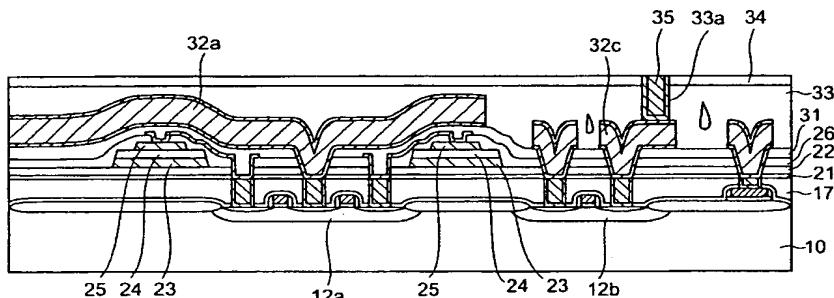
33: 層間絶縁膜  
34: 再堆積層間絶縁膜

【図14】



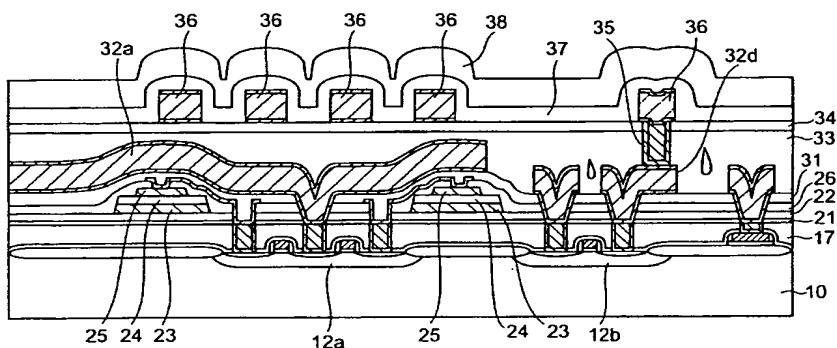
33: 層間絶縁膜  
34: 再堆積層間絶縁膜  
35b: タングステン膜

【図15】



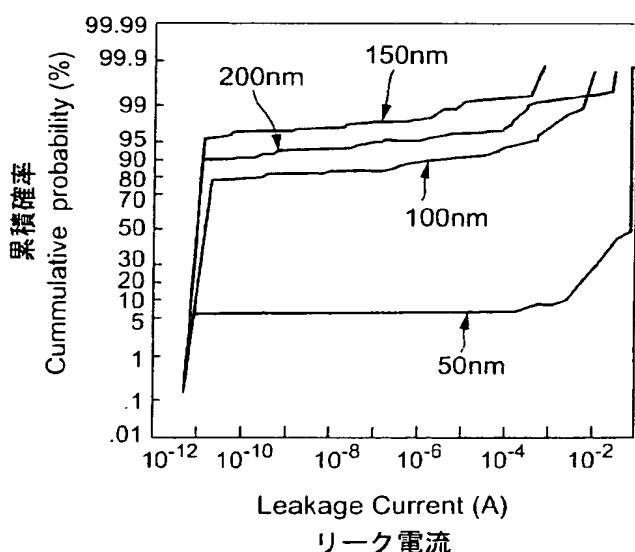
35: ブラグ

【図16】

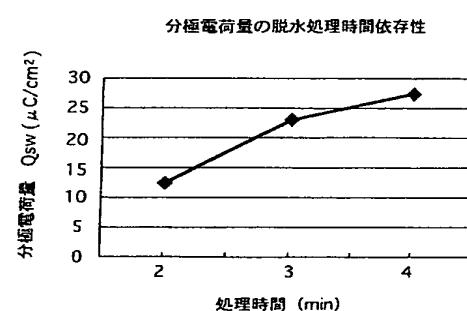


36: 配線  
37: カバー-TEOS膜  
38: カバー-SiN膜

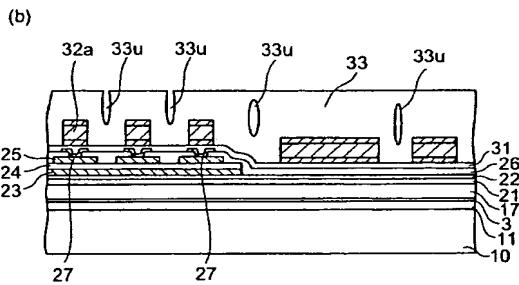
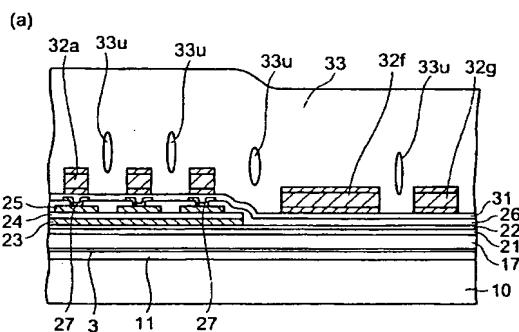
【図21】



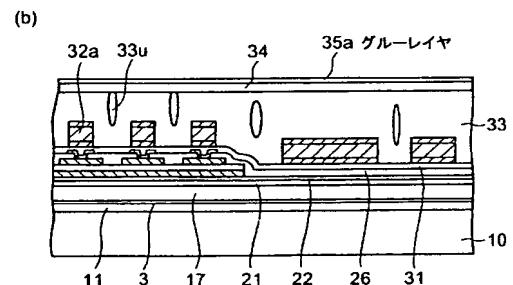
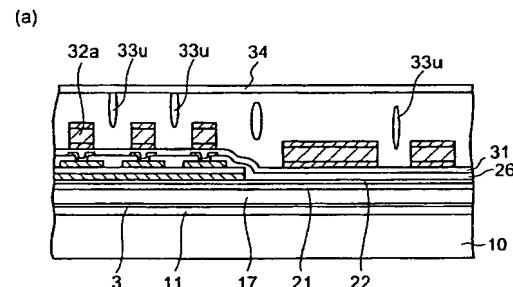
【図23】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

H 01 L 21/8242

識別記号

F I

H 01 L 21/90

マークコード (参考)

27/10

P

6 2 1 Z

6 8 1 F

